

Трансивер

400G CFP2 DCO

Особенности

- Когерентный оптический модуль 400G CFP2-DCO, работающий со скоростью до 425 Гбит/с.
- Разъем LC дуплекс
- Формат модуляции PM-16QAM (400G)
- Поддержка функции “горячая замена”
- Рабочая температура:
 - Коммерческое исполнение: 0°C ~+70°C
- Соответствует стандарту RoHS6
- Максимальная потребляемая мощность: 29 Вт



Характеристики устройства

I. Основные характеристики

Параметр	400G
Формат модуляции	PM-16QAM PS
Оптические каналы	80
Шаг сетки	75 ГГц
Частотный диапазон	191.3 до 196.05 ТГц
Стабильность длины волны	±1.5 ГГц
Выходная мощность	0 дБм
Максимальная выходная мощность	+5 дБм
Минимальная выходная мощность	-10 дБм
Точность выходной мощности	±1.5 дБм
Выходная мощность во время настройки	< -35 дБм
Допустимая хроматическая дисперсия	±15 000 пс/нм
Допустимая поляризационно-модовая дисперсия	22 пс
Диапазон входной мощности	0 to -14 дБм
Допустимый OSNR	24 дБ (Входная мощность: -8 to -10 дБм)
Потребляемая мощность	Норм.: 26 Вт Макс.: 29 W

II. Электрические характеристики

Параметр	Обозначение	Мин.	Норм.	Макс.	Единица измерения
Напряжение питания	V _{cc}	3.2	3.3	3.4	В
Потребляемый ток	I _{cc}			8.7	А
Потребляемая мощность	P _w		26	29	Вт
Рабочая температура	T	0		70	°С

а. Тактовый сигнал (REFCLK)

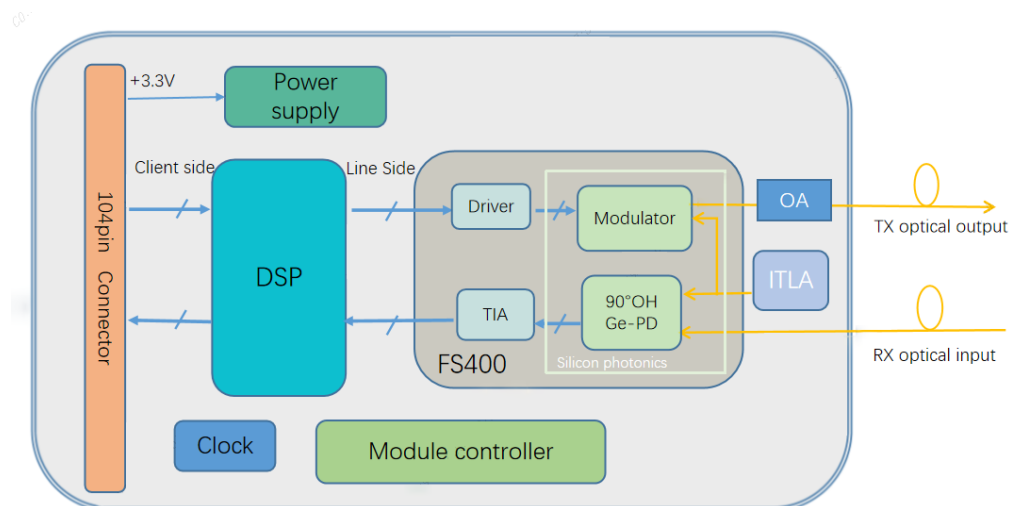
Когерентный оптический модуль CFP2 не требует от материнской платы предоставления опорного тактового сигнала REFCLK для скорости порта со стороны клиента 1/16

б. Тактовый сигнал мониторинга (TXMCLK)

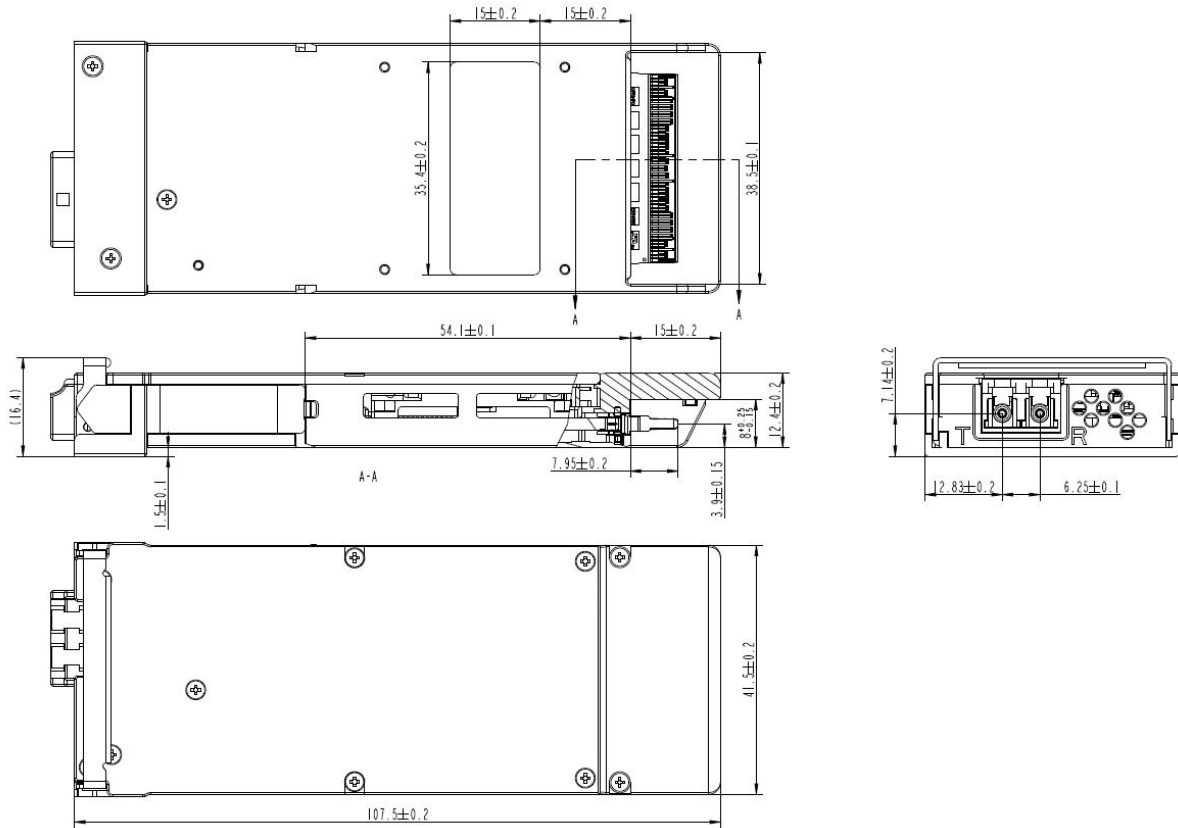
Когерентный оптический модуль CFP2 может выборочно предоставлять тактовый сигнал мониторинга TXMCLK, главным образом для мониторинга опорного оптического сигнала. Этот тактовый сигнал может быть использован для запуска высокоскоростного осциллографа с выборкой.

Параметр	Обозначение	Мин.	Норм.	Макс.	Единица измерения
Импеданс	Zd	80	100	120	Ω
Частота мониторинговых часов терминала	TXMCLK		1/48		Гц
Дифференциальное напряжение TXMCLK	VDIFFTX	500		1000	мВ

III. Блок-диаграмма



IV. Габаритные размеры



V. Описание контактов

Pin	Bottom	I/O	Logic	Comment
1	GND	GND	Ground	Module Ground. Logic and power return path
2	OHIO_RDn	O	CML	The Overhead Access Interface, 1.25Gbps SGMII/2500Base-X SerDes, AC coupling inside modules
3	OHIO_RDp	O	CML	The Overhead Access Interface, 1.25Gbps SGMII/2500Base-X SerDes, AC coupling inside modules
4	GND	GND		Module Ground. Logic and power return path
5	OHIO_TD0n	I	CML	The Overhead Access Interface, 1.25Gbps SGMII/2500Base-X SerDes, AC coupling inside modules
6	OHIO_TD0p	I	CML	The Overhead Access Interface, 1.25Gbps SGMII/2500Base-X SerDes, AC coupling inside modules
7	3.3V_GND	GND	Ground	Power Ground. Internally connected to GND. Logic and power return path.
8	3.3V_GND	GND	Ground	Power Ground. Internally connected to GND. Logic and power return path.
9	3.3V	PWR		
10	3.3V	PWR		
11	3.3V	PWR		
12	3.3V	PWR		
13	3.3V_GND	GND	Ground	Power Ground. Internally connected to GND. Logic and power return path.
14	3.3V_GND	GND	Ground	Power Ground. Internally connected to GND. Logic and power return path.
15	VND_IO_A	I/O		Customers must not connect to any of the VND_IO_x pins unless specifically allowed to do so
16	VND_IO_B	I/O		Customers must not connect to any of the VND_IO_x pins unless specifically allowed to do so
17	PRG_CNTL1	I	LVC MOS w/PUR	Internal 10k pull-up; TRXIC_RSTn
18	PRG_CNTL2	I	LVC MOS w/PUR	Internal 10k pull-up; Hardware Interlock LSB
19	PRG_CNTL3	I	LVC MOS w/PUR	Internal 10k pull-up; Hardware Interlock MSB
20	PRG_ALARM1	O	LVC MOS	Programmable Alarm 1; MSA Default "H" = HIPWR_ON
21	PRG_ALARM2	O	LVC MOS	Programmable Alarm 2; MSA Default "H" = MOD_READY
22	PRG_ALARM3	O	LVC MOS	Programmable Alarm 2; MSA Default "H" = MOD_READY
23	GND	GND	Ground	Module Ground. Logic and power return path
24	TX_DIS	I	LVC MOS w/PUR	Transmitter disabled for all lanes. Internal 10k pull-up;
25	RX_LOS	O	LVC MOS	Receiver Loss of Optical Signal; Internal 4.7k pull-up.
26	MOD_LOPWR	I	LVC MOS w/PUR	Module Low Power; Internal 10k pull-up;
27	MOD_ABS	O	GND	Module Absent; Internal 50Ω pull-down;
28	MOD_RSTn	I	LVC MOS w/PDR	Module Reset; Internal 10k pull-down;
29	GLB_ALRMn	O	LVC MOS	Global Alarm "H" = Alarm; "L" = OK
30	GND	GND	Ground	Module Ground. Logic and power return path
31	MDC	I	1.2V CMOS	MDIO Clock input
32	MDIO	I/O	1.2V CMOS	Management Data Input Output.
33	PRTADR0	I	1.2V CMOS	MDIO Physical Port Address bit 0
34	PRTADR1	I	1.2V CMOS	MDIO Physical Port Address bit 1
35	PRTADR2	I	1.2V CMOS	MDIO Physical Port Address bit 2
36	VND_IO_C	I/O		Customers must not connect to any of the VND_IO_x pins unless specifically allowed to do so
37	VND_IO_D	I/O		Customers must not connect to any of the VND_IO_x pins unless specifically allowed to do so
38	VND_IO_E	I/O		Customers must not connect to any of the VND_IO_x pins unless specifically allowed to do so
39	3.3V_GND	GND	Ground	Power Ground. Internally connected to GND. Logic and power return path.
40	3.3V_GND	GND	Ground	Power Ground. Internally connected to GND. Logic and power return path.
41	3.3V	PWR		
42	3.3V	PWR		
43	3.3V	PWR		
44	3.3V	PWR		
45	3.3V_GND	GND	Ground	Power Ground. Internally connected to GND. Logic and power return path.
46	3.3V_GND	GND	Ground	Power Ground. Internally connected to GND. Logic and power return path.
47	NC	NC	NC	
48	NC	NC	NC	
49	GND	GND	Ground	Module Ground. Logic and power return path
50	TXMONCLKN	O	CML	For optical waveform testing. Not for normal use
51	TXMONCLKP	O	CML	For optical waveform testing. Not for normal use
52	GND	GND	Ground	Module Ground. Logic and power return path

Pin	Top	I/O	Logic	Comment
104	GND	GND	Ground	Module Ground. Logic and power return path
103	TX4n	I	CML	
102	TX4p	I	CML	
101	GND	GND	Ground	Module Ground. Logic and power return path
100	TX3n	I	CML	
99	TX3p	I	CML	
98	GND	GND	Ground	Module Ground. Logic and power return path
97	TX2n	I	CML	
96	TX2p	I	CML	
95	GND	GND	Ground	Module Ground. Logic and power return path
94	TX5n	I	CML	
93	TX5p	I	CML	
92	GND	GND	Ground	Module Ground. Logic and power return path
91	TX6n	I	CML	
90	TX6p	I	CML	
89	GND	GND	Ground	Module Ground. Logic and power return path
88	TX1n	I	CML	
87	TX1p	I	CML	
86	GND	GND	Ground	Module Ground. Logic and power return path
85	TX0n	I	CML	
84	TX0p	I	CML	
83	GND	GND	Ground	Module Ground. Logic and power return path
82	TX7n	I	CML	
81	TX7p	I	CML	
80	GND	GND	Ground	Module Ground. Logic and power return path
79	(REFCLKn)	I	CML	
78	(REFCLKp)	I	CML	
77	GND	GND	Ground	Module Ground. Logic and power return path
76	RX4n	O	CML	
75	RX4p	O	CML	
74	GND	GND	Ground	Module Ground. Logic and power return path
73	RX3n	O	CML	
72	RX3p	O	CML	
71	GND	GND	Ground	Module Ground. Logic and power return path
70	RX2n	O	CML	
69	RX2p	O	CML	
68	GND	GND	Ground	Module Ground. Logic and power return path
67	RX5n	O	CML	
66	RX5p	O	CML	
65	GND	GND	Ground	Module Ground. Logic and power return path
64	RX6n	O	CML	
63	RX6p	O	CML	
62	GND	GND	Ground	Module Ground. Logic and power return path
61	RX1n	O	CML	
60	RX1p	O	CML	
59	GND	GND	Ground	Module Ground. Logic and power return path
58	RX0n	O	CML	
57	RX0p	O	CML	
56	GND	GND	Ground	Module Ground. Logic and power return path
55	RX7n	O	CML	
54	RX7p	O	CML	
53	GND	GND	Ground	Module Ground. Logic and power return path